



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Docket No: Q76859

Kouichiro NINOMIYA, et al.

Appln. No.: 10/633,710

Group Art Unit: Unknown

Confirmation No.: Unknown

Examiner: Unknown

Filed: August 5, 2003

For: SEMICONDUCTOR MEMORY DEVICE

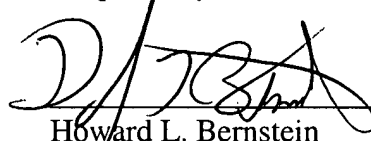
SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 2002-227229,
the priority document on which a claim to priority was made under 35 U.S.C. § 119. The
Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,


Howard L. Bernstein
Registration No. 25,665

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE

23373

CUSTOMER NUMBER

Enclosure: Japanese Patent Application No. 2002-227229

Date: March 5, 2004



Ninomiya et al
Appln 10/633,710
Q 76859
10f 1

日 本 国 特 許 庁
JAPAN PATENT OFFICE

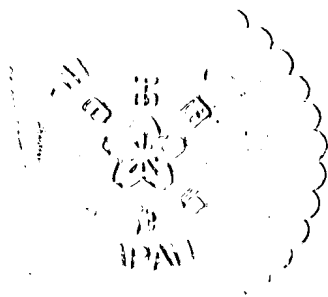
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 2 7 2 2 9
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 2 7 2 2 9]

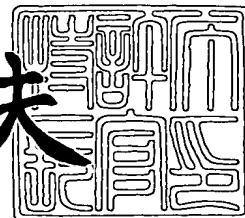
出 願 人
Applicant(s): エルピーダメモリ株式会社
 株式会社日立超エル・エス・アイ・システムズ
 株式会社日立製作所



2 0 0 3 年 9 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 22310044

【提出日】 平成14年 8月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108
H01L 21/8242

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 二宮 幸一郎

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 藤井 勇

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
株式会社内

【氏名】 藤澤 宏樹

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110118

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 メインワード線に共通に接続されると共に、互いに異なるサブワード選択線に接続され、それぞれサブワード線を駆動する複数のサブワードドライバ回路を含むサブワードドライバ（SWD）を備え、前記各サブワードドライバがドライバ入力端子と前記各サブワード線に接続されている半導体記憶装置において、インバータ入力端子とインバータ出力端子とを備え、前記インバータ入力端子は前記メインワード線に接続されると共に、前記インバータ出力端子は前記複数のドライバ入力端子に接続された共通インバータ回路を有し、前記各サブワードドライバ回路は、前記メインワード線に接続されたインバータ出力端子と前記各サブワード選択線に接続され、出力端子を前記各サブワード線に接続された内部インバータ回路部と、前記各サブワード選択線、前記インバータ出力端子、及び、前記内部インバータ回路部の出力端子に接続されたドライブ用トランジスタとを備え、前記各サブワードドライバ回路は 1 本の各サブワード選択線からのサブワード選択信号によって駆動されることを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 において、前記内部インバータ回路は、前記メインワード線に共通に接続されたゲートと、共通に接続されたドレインとを有する PMOS 及び NMOS トランジスタによって構成され、前記 PMOS トランジスタのソースは前記各サブワード選択線に接続されており、前記内部インバータの出力端子は前記共通に接続されたドレインから取り出されていることを特徴とする半導体記憶装置。

【請求項 3】 請求項 2 において、前記ドライブ用トランジスタは、前記各サブワード選択線に接続されたドレインと、前記サブワード線に接続されたソースと、前記共通インバータ回路の出力端子に接続されたゲートを有する NMOS トランジスタによって構成されていることを特徴とする半導体記憶装置。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、前記共通インバータ回路は 2 つのトランジスタによって構成されていることを特徴とする半導体記憶装

置。

【請求項 5】 請求項 4 において、前記共通インバータ回路及び前記メインワード線は 4 つのサブワードドライバ回路に共通に設けられていることを特徴とする半導体記憶装置。

【請求項 6】 サブワード選択線を分割するように配置された複数のサブワードドライバ (SWD) に対して、F X B (／F X) であらわされるサブワード選択信号を出力することによって駆動するサブワードドライバ駆動方式において、前記サブワード選択線上の分割位置に、複数のインバータを接続することによって、前記サブワード選択信号を F X T であらわされるトルーサブワード選択信号にし、当該トルーサブワード選択信号を前記サブワード線の分割位置に設けられた複数のサブワードドライバ (SWD) に分配することにより、前記 F X B のサブワード選択信号に加わる負荷を軽減することを特徴とするサブワードドライバ駆動方式。

【請求項 7】 請求項 6 において、前記サブワードドライバ (SWD) は前記サブワード選択線を挟んで両側に配置されており、これら両側のサブワードドライバ回路には、共通のインバータからのトルーサブワード選択信号が与えられることを特徴とするサブワードドライバ回路駆動方式。

【請求項 8】 請求項 7 において、メインワード線にインバータ入力端子を接続される一方、前記サブワードドライバに、インバータ出力端子を接続されたインバータと、前記インバータ出力端子に接続されると共に、前記トルーサブワード選択信号を受けるサブワードドライバ回路とを有し、前記サブワードドライバ回路は、前記メインワード線に接続されたインバータ入力端子に接続される一方、前記トルーサブワード選択信号を受けるサブワード選択線に接続され、出力端子を前記各サブワード線に接続された内部インバータ回路部と、前記トルーサブワード選択信号が与えられるサブワード選択線、前記インバータ出力端子、及び、前記内部インバータ回路部の出力端子に接続されたドライブ用トランジスタとを備え、前記サブワードドライバ回路は、前記トルーサブワード選択信号によって駆動されることを特徴とするサブワードドライバ駆動方式。

【発明の詳細な説明】

【0001】**【発明の属する技術分野】**

本発明は、メモリアレイ或いはメモリブロックを分割することによって形成された複数のメモリマットと、各メモリマットに接続されたサブワードドライバ（SWD）とを備えた構成を有する半導体記憶装置、及び、サブワードドライバ（SWD）の駆動方式に関する。

【0002】**【従来の技術】**

従来、この種の半導体記憶装置としては、特開平9-36328号公報に記載されたようなダイナミックRAM（以下、DRAMと呼ぶ）がある。このDRAMは、チップ上の記憶領域を複数のメモリブロックに区分すると共に、各メモリブロックを複数のメモリマットに分けた構成を有している。この場合、各メモリマットには、複数のメモリセルが配列されている。このようなDRAMでは、各メモリマットの周辺にセンスアンプ部とサブワードドライバ（SWD）部とが配置されている。このうち、センスアンプ部はカラム方向に配列された列選択線及びビット線に接続できる位置に配置されており、他方、SWD部はロウ方向に配列されたメインワード線及びサブワード線と接続できる位置に配置され、複数のサブワードドライバによって構成されている。このように、SWD部を設けることにより、動作させる記憶領域をできるだけ小さいブロック内に留めることができ、消費電力を低減することができると共に、高速動作も可能となる。

【0003】

更に、各SWDは、複数のサブワードドライバ回路を備え、各サブワードドライバ回路は、前述したように、ロウ方向に配列されたメインワード線及びサブワード線に接続される一方、サブワード選択用デコーダから延びるサブワード選択線（以下、FX線と略称する場合もある）にも接続されており、メインワード線及びサブワード選択線を選択することにより、サブワード線を選択的に活性化し、当該サブワード線に対応したメモリセルを活性化している。

【0004】

一方、この種のDRAMにおいて、複数のサブワード選択線を複数のメモリマ

ットによって共用することも提案されている。この場合、カラム方向に、互いに間隔を置いて配列された2つのメモリマツト列間に、サブワード選択線を配列し、これらサブワード選択線を列方向に分割した形式で、サブワード選択線の両側に配列されたメモリマツト対応のサブワードドライバに接続し、サブワード選択線上のサブワード選択信号によってこれらドライバを駆動する駆動方式が採用されることがある。この場合、サブワード選択線には、サブワード選択用デコーダから、サブワード選択信号（F X 信号）が送出される。

【0005】

【発明が解決しようとする課題】

上記したように、F X 分割駆動方式を採用した場合、D R A M の大容量化と共に、単一のサブワード選択線によって選択されるメモリマツトの数も増加してしまう。このように、メモリマツト数が増加すると、同一のサブワード選択線により選択されるサブワードドライバ回路の数も飛躍的に増加する傾向にある。

【0006】

従来、各サブワード選択線に対してサブワード選択デコーダから、単一極性のサブワード選択信号（F X T）を送出する駆動方式が採用されるのが普通である。しかしながら、このような駆動方式を採用した場合、メモリマツトが増加すると、サブワード選択デコーダ近傍位置にあるサブワードドライバ回路と、サブワード選択デコーダから離れた位置にあるサブワードドライバ回路とでは、動作において遅延が生じることが確認された。

【0007】

一方、サブワード選択デコーダからの単一極性のサブワード選択信号を各サブワードドライバ回路に分岐する度毎に反転し、正負2つの極性を有するサブワード選択信号（F X T 及び F X B）の双方を使用して、各サブワードドライバ回路を駆動する分割駆動方式も提案されている。

【0008】

しかしながら、この分割駆動方式を採用しても、記憶容量の増大と共に、配線抵抗、負荷容量の影響を無視できない状況になっている。本発明者等の実験によれば、配線抵抗等の増大は、サブワード選択信号のうち、特に、F X B に対する

負荷が大きくなることに起因していることが判明した。

【0009】

本発明の目的は、チップサイズ、記憶容量の増大によって、メモリマット数が多くなっても、サブワード選択線に起因する配線抵抗、負荷容量の増大による影響を軽減できる半導体記憶装置を提供することである。

【0010】

本発明の他の目的は、サブワード選択線に加わる負荷を軽減することにより、サブワード線に起因する遅延を少なくすることができるサブワードドライバ回路駆動方式を提供することである。

【0011】

【課題を解決するための手段】

本発明の第1の態様によれば、メインワード線に共通に接続されると共に、互いに異なるサブワード選択線に接続され、それぞれサブワード線を駆動する複数のサブワードドライバ回路を含むサブワードドライバ（SWD）を備え、前記各サブワードドライバがドライバ入力端子と前記各サブワード線に接続されている半導体記憶装置において、インバータ入力端子とインバータ出力端子とを備え、前記インバータ入力端子は前記メインワード線に接続されると共に、前記インバータ出力端子は前記複数のドライバ入力端子に接続された共通インバータ回路を有し、前記各サブワードドライバ回路は、前記メインワード線に接続されたインバータ出力端子と前記各サブワード選択線に接続され、出力端子を前記各サブワード線に接続された内部インバータ回路部と、前記各サブワード選択線、前記インバータ出力端子、及び、前記内部インバータ回路部の出力端子に接続されたドライブ用トランジスタとを備え、前記各サブワードドライバ回路は1本の各サブワード選択線からのサブワード選択信号によって駆動されることを特徴とする半導体記憶装置が得られる。

【0012】

本発明の第2の態様によれば、第1の態様において、前記内部インバータ回路は、前記メインワード線に共通に接続されたゲート及び共通に接続されたドレインを有するPMOS及びNMOSトランジスタによって構成され、前記PMOS

トランジスタのソースは前記各サブワード選択線に接続されており、前記内部インバータの出力端子は前記共通に接続されたドレインから取り出されていることを特徴とする半導体記憶装置が得られる。

【0013】

本発明の第3の態様によれば、第2の態様において、前記ドライブ用トランジスタは、前記各サブワード選択線に接続されたドレインと、前記サブワード線に接続されたソースと、前記共通インバータ回路の出力端子に接続されたゲートを有するNMOSトランジスタによって構成されていることを特徴とする半導体記憶装置が得られる。

【0014】

本発明の第4の態様によれば、第1乃至第3の態様のいずれかにおいて、前記共通インバータ回路は2つのトランジスタによって構成されていることを特徴とする半導体記憶装置が得られる。

【0015】

本発明の第5の態様によれば、第4の態様において、前記共通インバータ回路及び前記メインワード線は4つのサブワードドライバ回路に共通に設けられていることを特徴とする半導体記憶装置が得られる。

【0016】

本発明の第6の態様によれば、サブワード選択線を分割するように配置された複数のサブワードドライバ（SWD）に対して、FXB（／FX）であらわされるサブワード選択信号を出力することによって駆動するサブワードドライバ駆動方式において、前記サブワード選択線上の分割位置に、複数のインバータを接続することによって、前記サブワード選択信号をFXTであらわされるトルーサブワード選択信号にし、当該トルーサブワード選択信号を前記サブワード線の分割位置に設けられた複数のサブワードドライバ（SWD）に分配し、前記FXBのサブワード選択信号に加わる負荷を軽減することを特徴とするサブワードドライバ駆動方式が得られる。

【0017】

本発明の第7の態様によれば、第6の態様において、前記サブワードドライバ

は前記サブワード選択線を挟んで両側に配置されており、これら両側のサブワードドライバには、共通のインバータからのトルーサブワード選択信号が与えられることを特徴とするサブワードドライバ駆動方式が得られる。

【0018】

本発明の第8の態様によれば、第7の態様において、前記SWDは、複数のサブワードドライバ回路と、メインワード線に接続されたインバータ入力端子と、インバータ出力端子とを有するインバータとを含み、前記各サブワードドライバ回路は、前記インバータ入力端子に接続されると共に、前記トルーサブワード選択信号が与えられる構成を有し、更に、前記トルーサブワード選択信号を受けるサブワード選択線に接続され、出力端子を前記各サブワード線に接続された内部インバータ回路部と、前記トルーサブワード選択信号が与えられるサブワード選択線、前記インバータ出力端子、及び、前記内部インバータ回路部の出力端子に接続されたドライブ用トランジスタとを備え、前記サブワードドライバ回路は、前記トルーサブワード選択信号によって駆動されることを特徴とするサブワードドライバ駆動方式が得られる。

【0019】

【発明の実施の形態】

図1及び図2を参照して、本発明を適用できる半導体記憶装置について説明する。図1では、半導体記憶装置として、2列に配列されたメモリマットMM1～MM28を含むDRAMの一部が示されている。図示された半導体記憶装置は、図示されたメモリマットMM1～MM3の配列方向に、14個の同様なメモリマットMM（即ち、MM1～MM14）を配置し、更に、これらのメモリマットMM1～14と並行にもう一列のメモリマットMM15～28が配列されており、図1では、これらメモリマットMM1～MM28のうち、メモリマットMM1～MM3だけが示されている。また、各メモリマットMM1～28は256Kビットの記憶容量を備えているものとする。この関係で、各メモリマットMM11～28は、ロウ方向に延びる512本のサブワードライン（SWL）と、カラム方向に延びる512本のビットペア線とを有している。尚、各メモリマットMM1～28は図示されないメモリマット選択信号によって個別にアクティブ状態にな

るものとする。

【0020】

ここで、図示された半導体記憶装置は、入出力端子DQ（4ビット）に接続された入出力回路51、当該入出力回路51にグローバルIO線を介して接続されたメインアンプ52を備え、メインアンプ52はメインIO線を介してサブアンプ53に接続されている。また、各メモリマットMM1～MM3の周辺には、各メモリマットMM1～MM3に対応してカラムデコーダ（DEC1～3）が設けられており、各カラムDEC1～3には、カラムアドレス信号Y0～6が与えられている。更に、各カラムDEC1～3は、センスアンプ部SA1～3に接続されている。

【0021】

図示された例では、各カラムDEC1～3は128本のYS線を選択することができ、YS線が1本選択されると、各センスアンプ部SA1～3のうち、4つのセンスアンプが選択された状態となる。この結果、512本のビットペア線のうち、4本のビットペア線BLがサブアンプ53を介してメインアンプ53に接続される。各センスアンプ部SA1、2、3に接続されたサブアンプは、図示されていない他の列に属するメモリマットMM15及びメモリマット16、17のサブアンプにも接続されている。

【0022】

他方、各メモリマットMM1～MM14並びにMM15～28の512本のサブワードライン（SWL）を選択するために、図示された半導体記憶装置には、メインワードデコーダ（MWD）と2つのサブワードデコーダ（SWDEC1及びSWDEC2）が備えられている。図示されたMWDには、Xアドレス信号のうち、X3～X8ビットからなる6ビットが与えられており、他方、SWDEC1及び2には、X0～X2ビットからなる3ビットが与えられている。この構成では、MWDは64本のメインワード線（MWL）を介して、各メモリマットMのサブワードドライバ（SWD1～64）に接続されている。

【0023】

この場合、各SWD1～64は4つのサブワードドライバ回路を含んでおり、

各サブワードドライバ回路は、サブワードデコーダ（SWD 1 又は 2）の出力によって選択される。即ち、MWDによって、64本のMWLのうち、1本が選択されアクティブ状態になると、SWD 1～64の一つが活性化される。このとき、SWDEC 1 又は 2 は、X 0～X 2によって、SWD 1～64内の一つのサブワードドライバ回路を活性化する。

【0024】

このことを具体的に説明すると、図示されたSWDEC 1は、4本のサブワード選択線及び4つのインバータを介して、メモリマットMM1のSWD 1～64に接続されている。この例では、4つのサブワード選択線及び4つのインバータはメモリマットMM1と並行に配列されたメモリマットのうち、対応するメモリマットMM15（図示せず）のSWD 1～64にも、接続されている。当該4本のサブワード選択線には、SWDEC 1からサブワード選択信号FXB 0、FXB 1、FXB 2、FXB 3が出力され、これらのサブワード選択信号FXB 0、FXB 1、FXB 2、FXB 3は、メモリマットMM1（又はMM15）におけるSWDにおける4つのサブワードドライバ回路の一つをアクティブ状態にする。また、サブワード選択信号FXB 0、FXB 1、FXB 2、FXB 3は、それぞれインバータを介して、メモリマットMM2とMM3の間及びメモリマットMM16とMM17（図示せず）の間に設けられたSWD 1～64にも与えられる。

【0025】

一方、SWDEC 1と同様にX 0～X 2を受けて動作するSWDEC 2はサブワード選択線及びインバータを介して、メモリマットMM1とMM2との間に設けられたSWD 1～64に接続されると共に、メモリマットMM3とMM4（図示せず）との間に設けられたSWD 1～64にも接続されている。サブワード選択線には、SWDEC 2からサブワード選択信号FXB 4～FXB 7が出力され、インバータを介して、メモリマットMM間に一つ置きに配置されたSWD 1～64に供給される。

【0026】

換言すれば、SWDEC 1（又は2）からのサブワード選択線は、メモリマッ

ト間に配置されたSWD 1～64のうち、1つのメモリマツトMM置きに配列されたSWD 1～64にインバータを介して接続されていることがわかる。

【0027】

この構成では、3ビットからなるX0～X2によって生成されるサブワード選択信号FX0～FX7によって、2つのSWD内における8つのサブワードドライバ回路を選択、駆動することができる。

【0028】

図2をも併せ参照すると、図1のSWDとメモリマツトMMとの接続関係がより詳細に示されている。図2に示されているように、メモリマツトMM1の左側に配置されたSWD 1には、サブワード選択信号FXB0～FXB3が、インバータで反転されて、FXT0～FXT3として与えられている。他方、メモリマツトMM1の左側、即ち、メモリマツトMM1とMM2との間に設けられたSWD 1には、SWDEC2からのFXT4～FXT7が与えられており、このSWD 1によっても、メモリマツトMM1のサブワード線(SWL)が選択される。結果として、上記したFXT0～7に応答して、メモリマツトMM1の両側に配置されたSWD 1によって、サブワード駆動信号SWLT0～7の1本がアクティブ状態になる。

【0029】

図3を参照して、本発明に使用できるサブワードドライバ(SWD)を、図1及び図2に示されたSWD 1を例に取って説明する。図3に示されたSWD 1は、図3のカラム方向に並べられ、メインワード線15に共通に接続された4つのサブワードドライバ回路20a、b、c、dを備えている。図示された例では、メインワード線上にメインワード線選択信号MWLBが与えられており、このメインワード線選択信号MWLBは4つのサブワードドライバ回路20a、b、c、dに共通に供給される一方、4つのサブワードドライバ回路20a、b、c、dに共通に設けられたインバータ回路25に供給されている。したがって、インバータ回路25は、メインワード線選択信号MWLBが与えられる入力端子と、サブワードドライバ回路20a、b、c、dに接続されたインバータ出力端子とを有している。

【0030】

ここで、各サブワードドライバ回路20a、b、c、dは、メインワード線選択信号MWLB及びサブワード選択信号FXT0～3を受けて、サブワード線上にサブワード駆動信号SWLT0～3を出力する動作を行う。各サブワードドライバ回路20a、b、c、dは互いに等しい構成及び動作を有しているから、ここでは、サブワードドライバ回路20aを例に取って説明する。

【0031】

図からも明らかな通り、サブワードドライバ回路20aは、メインワード線選択信号MWLB、インバータ回路25によって反転されたトルーメインワード線選択信号(MWLT)、及び、トルーサブワード選択信号FTX0とを受け、サブワード線上にサブワード駆動信号SWLT0を出力する。更に、サブワードドライバ回路20aは、NMOSトランジスタ26とPMOSトランジスタ28によって構成された内部インバータ回路部と、この内部インバータ回路部の出力端子に接続されたドライブ用NMOSトランジスタ30とを有している。

【0032】

内部インバータ回路はCMOSトランジスタ、即ち、NMOS及びPMOSトランジスタ26、28によって構成され、両トランジスタのゲート及びドレインは共通に接続されている。更に、共通に接続されたドレインは、サブワードドライバ回路20aの出力端子に接続されている。また、PMOSトランジスタ28のソースには、トルーサブワード選択信号FXT0が与えられると共に、NMOSトランジスタ26のソースは、Vss（接地電位）の電源端子に接続されている。

【0033】

一方、ドライブ用NMOSトランジスタ30のゲートには、インバータ回路25の出力端子から、トルーメインワード線選択信号MWLTが与えられると共に、そのソースはサブワードドライバ回路20aの出力端子に接続されている。一方、ドライブ用NMOSトランジスタ30のドレインはサブワード選択線に接続され、この関係で、ドライブ用NMOSトランジスタ30のドレインには、トルーサブワード選択信号FXT0が供給されている。

【0034】

このように、図示された各サブワードドライバ回路20a～dは3個のトランジスタによって構成されており、更に、インバータ回路25は内部インバータ回路と同様に2個のトランジスタによって構成され、このインバータ回路25は4つのサブワードドライバ回路20a～dに共通に設けられている。このことは、各サブワードドライバ回路20a～dは3.5個のトランジスタによって構成されていることと等価であるから、図示されたサブワードドライバ回路20a～dは3.5トランジスタ型のサブワードドライバ回路と呼ばれても良い。

【0035】

次に、図3に示されたサブワードドライバ回路20aの動作を、図4をも参照して説明すると、図1に示されたMWD及びサブワード選択線デコーダ(SWDEC1又は2)により、メインワード線(MWL)15が選択され、ロウレベルのサブワード選択信号FXB0がSWDEC1から出力されたものとする。この状態では、図4に示すように、メインワード線選択信号MWLBがローレベルになり、図1に示されたFXB0のインバータ出力であるサブワード選択信号FXT0はハイレベルになる。このことは、他のサブワード選択信号FXB1～FXB7においても同様である。このとき、各サブワード選択信号FXB0～7に加わる負荷は相対的に小さいから、サブワード選択信号FXB0～7の状態遷移は高速で行われる。

【0036】

これらサブワード選択信号FXB0～7の状態遷移に伴い、各サブワード選択信号FXB0～FXB7の分岐位置に設けられたインバータ(図1、図2参照)25も高速で状態遷移を行い、図3のFXT0で示すように、ハイレベルのトルーサブワード選択信号FXT0を出力する。

【0037】

メインワード線選択信号MWLBが図4に示すようにローレベルになると、図2に示されたインバータ回路25の出力はハイレベルになって、ドライブ用NMOSトランジスタ30はオン状態となる。一方、内部インバータ回路を構成するNMOS及びPMOSトランジスタ26及び28のゲートには、ローレベルのメ

インワード線選択信号MWLBが与えられるから、PMOSトランジスタ28がオン状態となる。このように、PMOSトランジスタ28及びドライブ用NMOSトランジスタ30がオン状態になると、サブワード線上には、図4に示すように、ハイレベルのサブワード駆動信号SWLT0が出力される。

【0038】

他方、メインワード線選択信号MWLBがローレベルで、サブワード選択信号FXT0がローレベルの状態では、ドライブ用NMOSトランジスタ30がオフ状態に保たれるため、サブワード線はローレベルの状態に維持される。

【0039】

更に、メインワード線選択信号MWLBがハイレベルの状態、サブワード選択信号FXT0がハイレベルになると、NMOSトランジスタ26がオン状態となって、サブワードドライバ回路20aの出力は、接地電位(Vss)になる。また、メインワード線選択信号MWLBがハイレベルの状態、サブワード選択信号FXT0がローレベルになっても、NMOSトランジスタ26がオンとなって、サブワードドライバ回路20aの出力は接地電位に維持される。

【0040】

前述したように、図3に示されたサブワードドライバ回路20aは、メインワード選択線及びサブワード選択線が選択された場合にのみ、ハイレベルのサブワード駆動信号SWLT0を出力することが判る。上に説明した例では、FXT0についてのみ説明したが、他のサブワード選択信号FXT1、FXT2、FXT3についても同様な動作が行われ、SWD1のサブワードドライバ回路20a～dが選択され、選択的にサブワード駆動信号SWLT1、2、3をメモリマットのサブワード選択線(SWL)上に出力することができる。

【0041】

図示された例では、インバータ回路を4つのサブワードドライバ回路に共通に設けているが、より多くのサブワードドライバ回路に共通に設けても良い。

【0042】

図5を参照して、本発明に係るSWDを含む半導体記憶装置の全体的な構成を概略的に説明する。図5では、説明を簡略化するために、メインワード線選択信

号MWLB0を示すと共に、サブワード選択信号のうち、単一のサブワード選択信号FXB0に関連する部分のみが示されている。この関係で、当該サブワード選択信号FXB0に関連するメモリマットの全体構成が示されている。ここで、MWLB0が与えられるメインワード線の方角をロウ方角と呼び、メインワード線15に沿って、1行（ロウ）、14個のメモリマットMMが2行に亘って間隔を置いて配置されている。この関係で図示されたメモリマットMMには、1～28の番号が付されている。

【0043】

図5を図1と比較することによっても明らかな通り、メインワード線選択信号MWLB0は、図1に示されたように、MWDから一列のメモリマットMM1～MM14に与えられている。他方、サブワード選択信号FXB0は、図1と同様に、SWDEC1から出力され、両側のメモリマットMM1及びMM15のサブワードドライバ（SWD1a、SWD1b）に、インバータ261を介して与えられている。同様に、サブワード選択信号FXB0は、メモリマットMM2とMM3の間に設けられたSWD1c、及びメモリマットMM16とMM17との間に設けられたSWD1dに、インバータ262を介して与えられている。以下同様に、SWD1e～SWD1pまでのサブワードドライバがメモリマット間或いはメモリマットの終端部に設けられ、これらSWD1e～SWD1pには、インバータ263～268を介して、サブワード選択信号FXB0が、FXT0の形で供給されている。ここで、図5に示された各サブワードドライバSWD1a～SWD1pは、図3に示された回路構成を備えている。

【0044】

図5では、各メモリマットMMの単一のSWD1のみが単一のサブワード選択線及び選択信号FXB0と共に示されているが、図1に示されているように、他のサブワード選択信号FXB1～FXB7に関連するSWDも同様な接続関係を有しているから、ここでは、図の簡略化のために省略する。

【0045】

図示されているように、サブワード選択線は、SWDEC1からインバータ261～268を介して、各SWDに接続されている。即ち、サブワード選択線は

、メインワード線と並行に延びる部分（ロウ方向に延びる部分）と、各インバータ 261～268 からメモリマツト MM との間に延在する部分（カラム方向部分）とを有している。また、サブワード選択線のカラム方向部分は、SWD1 に対する分岐位置において、両側に分岐されている。このように、図示されたサブワード選択線 21 は、メインワード線 15 の延在方向（即ち、ロウ方向）に分割され、更に、カラム方向にも延びていることが判る。

【0046】

図示された例において、サブワード選択線に、サブワード選択信号 FXB0 が与えられた場合、サブワード選択信号 FXB0 は分岐位置に設けられた各インバータ 261～268 によって反転され、FXT0 として SWD1 に与えられる。この結果、メモリマツト MM 対における 2 つの SWD1 には、FXT0 であらわされるサブワード選択信号が供給される。

【0047】

サブワード選択線の分割位置以外のロウ方向部分には、FXB0 であらわされるサブワード選択信号が流れ、他方、分割位置からカラム方向には、FXT0 であらわされる反転されたサブワード選択信号だけが各 SWD1 に供給されている。したがって、この例では、各 SWD1 には、FXT0 のみが与えられ、FXB0 は与えられていない。このことは、FXB0 或いは FXT0 のみで、全ての SWD1 を駆動する場合に比較して、各信号線に加わる負荷を分担でき、高速動作が可能になる。

【0048】

一方、各 SWD1 a～1 p を FXT0 及び FXB0 の双方を用いて駆動することも考えられるが、各 SWD1 a～1 p に互いに相補的なサブワード選択信号を供給することは、これら SWD1 a～1 p の配線を複雑化してしまうという欠点がある。更に、FXT0 及び FXB0 の双方を使用する場合、いずれか一方のサブワード選択信号はロウ方向だけでなく、カラム方向にも延びる配線を介して、各サブワードドライバ回路に与えられることになる。この結果、当該サブワード選択信号を伝送する配線は長くなってしまい、配線抵抗及び負荷容量が大きくなってしまう。この傾向は、メモリサイズが大きくなるしたがって顕著になるため

、チップサイズ、メモリアレイの分割数を制限する大きな要因となることが予想される。

【0049】

このことを考慮して、図5に示された本発明の一実施形態に係るサブワードドライバ駆動方式では、サブワード選択信号として、FXT0及びFXB0の双方を使用し、各信号による駆動部分を分割している。これによって、FXT0及びFXB0に加わる負荷を小さくすることができる。

【0050】

前述した説明は、FXT0及びFXB0についてのみ説明したが、図1に示された他のサブワード選択信号についても同様な回路構成が必要であることを考慮すると、本発明の効果は非常に大きい。

【0051】

実際に、図5に示された例では、同じレイアウトを有する半導体記憶装置で、サブワード選択信号として、FXT0及びFXB0の双方を使用した場合に比較して、容量値を半分以下、具体的には、3000fFから1400fF程度まで小さくできることが判った。

【0052】

上記した構成の特徴を纏めると、サブワード選択線を分割するように複数のサブワードドライバ回路（SWD）が配置されている。サブワード選択線上の分割位置には、それぞれインバータを接続することによって、FXBのサブワード選択信号をFXTのトルーサブワード選択信号にし、当該トルーサブワード選択信号を前記サブワード線の分割位置の両側に設けられた複数のSWDに分配し、これによって、サブワード選択線をFXBのサブワード選択信号で駆動される部分と、FXTで駆動される部分とに区分することにより、FXB及びFXTに加わる負荷を低減できる。

【0053】

【発明の効果】

本発明では、サブワード選択信号をFXB及びFXT信号に分け、FXB信号の形で通電される回路部分とFXT信号の形で通電される回路部分とを区分し、

各信号に加わる負荷を分散させることにより、総合的な負荷容量及び抵抗を減少させ、高速動作可能なサブワードドライバ駆動方式が得られる。また、本発明は、負荷の増大を軽減できるため、メモリの大容量化及びアレイ分割数の増加に対応できる半導体記憶装置が得られる。

【図面の簡単な説明】

【図 1】

本発明を適用できる半導体記憶装置を部分的に示す図である。

【図 2】

図 1 の一部をより詳細に説明するための図である。

【図 3】

本発明の一実施形態に係るサブワードドライバ (SWD) の回路図である。

【図 4】

図 3 に示されたサブワードドライバの動作を説明するための波形図である。

【図 5】

本発明の一実施形態に係るサブワードドライバ駆動方式を適用できる半導体記憶装置のレイアウトの一部を示す図である。

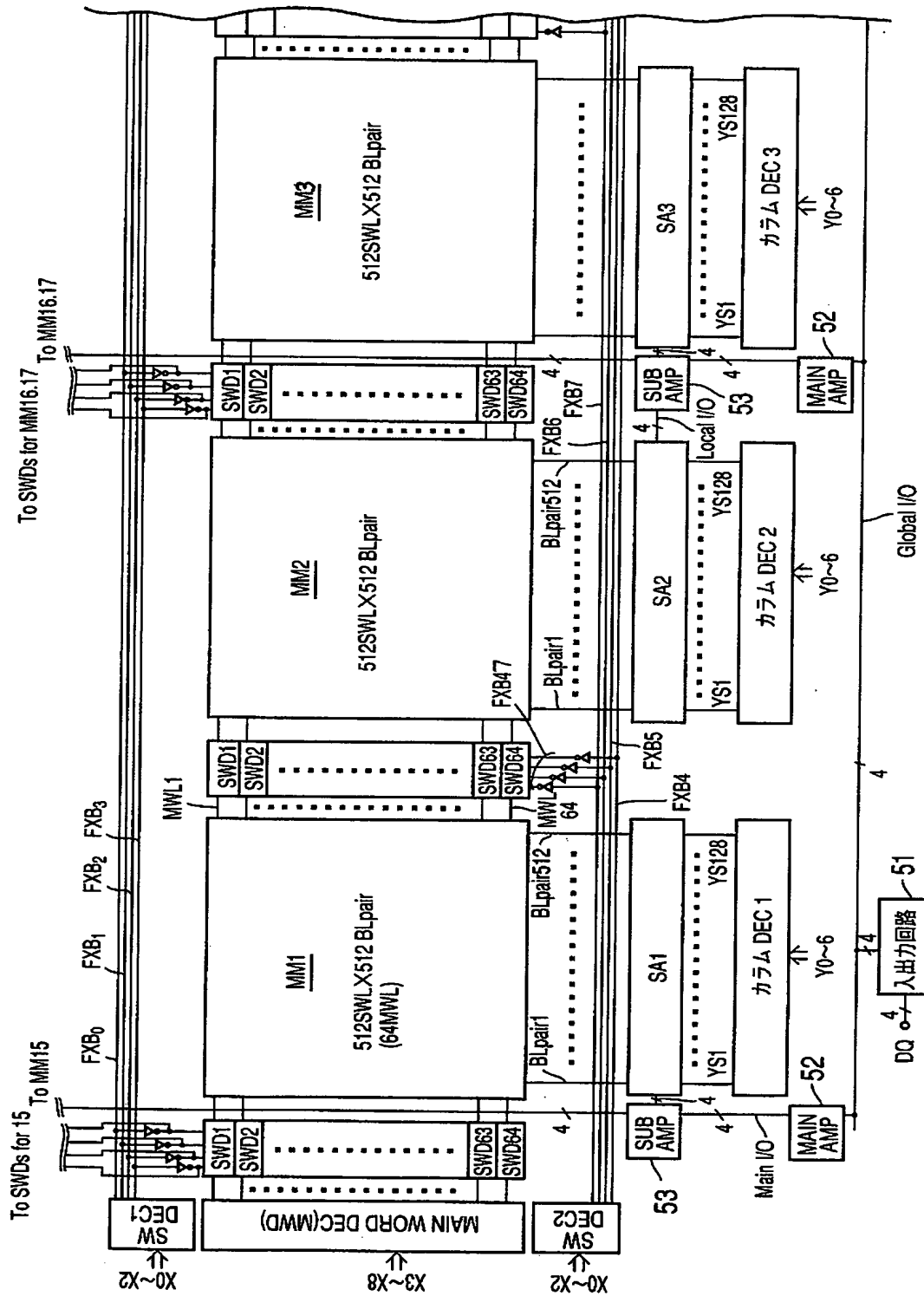
【符号の説明】

MWD	メインワードデコーダ
SWDEC 1、SWDEC 2	サブワード選択線デコーダ
SWD 1～SWD 64、SWD 1 a、SWD 1 p	サブワードドライバ
MM 1～MM 28	メモリマット
261～268	インバータ
FXB 0～FXB 7、FXT 0～FXT 7	サブワード選択信号
MWLB	メインワード線選択信号
26	NMOS トランジスタ
28	PMOS トランジスタ
30	NMOS トランジスタ

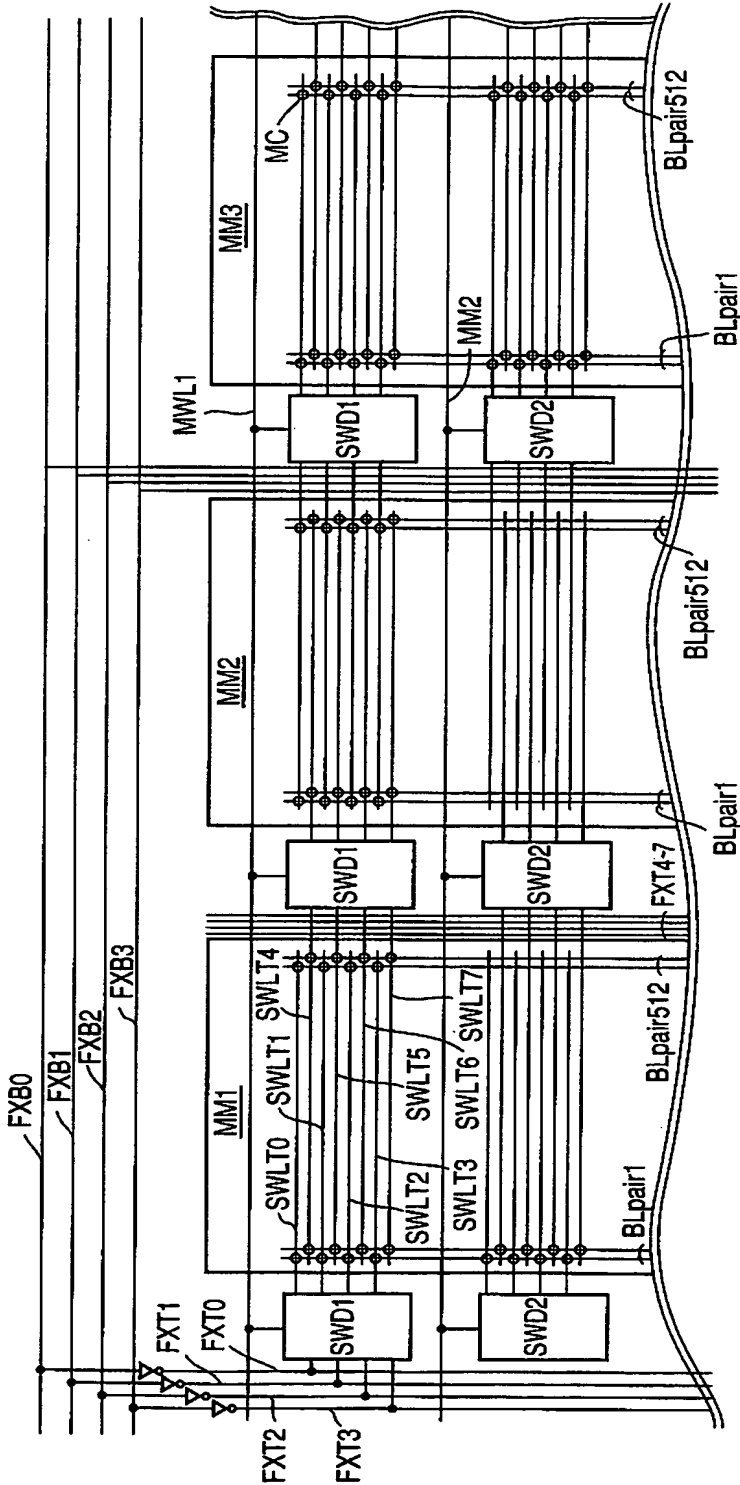
【書類名】

図面

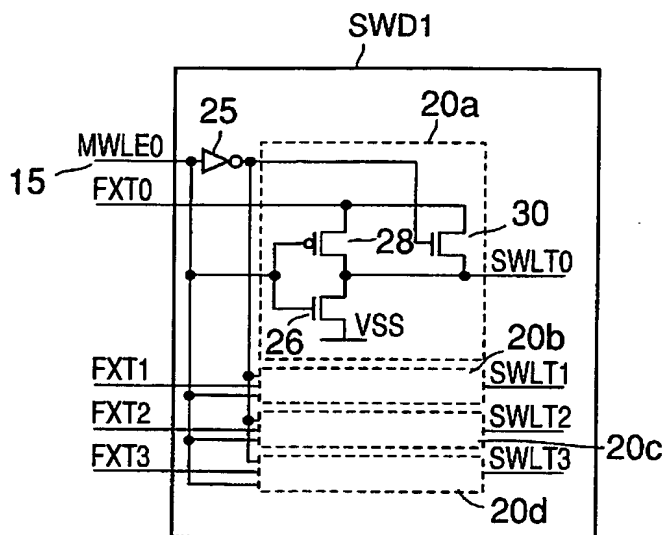
【図 1】



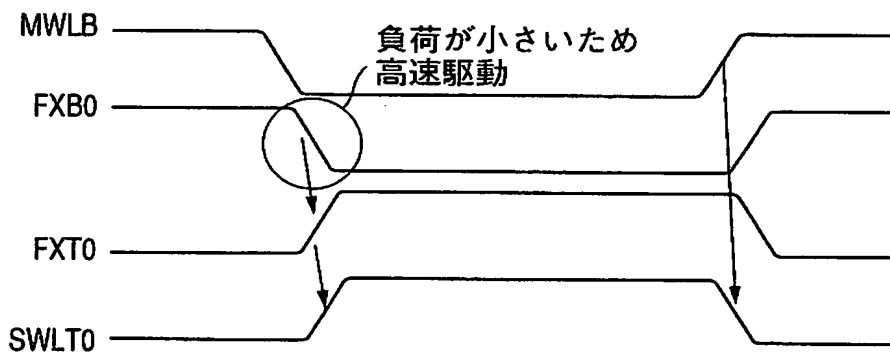
【図 2】



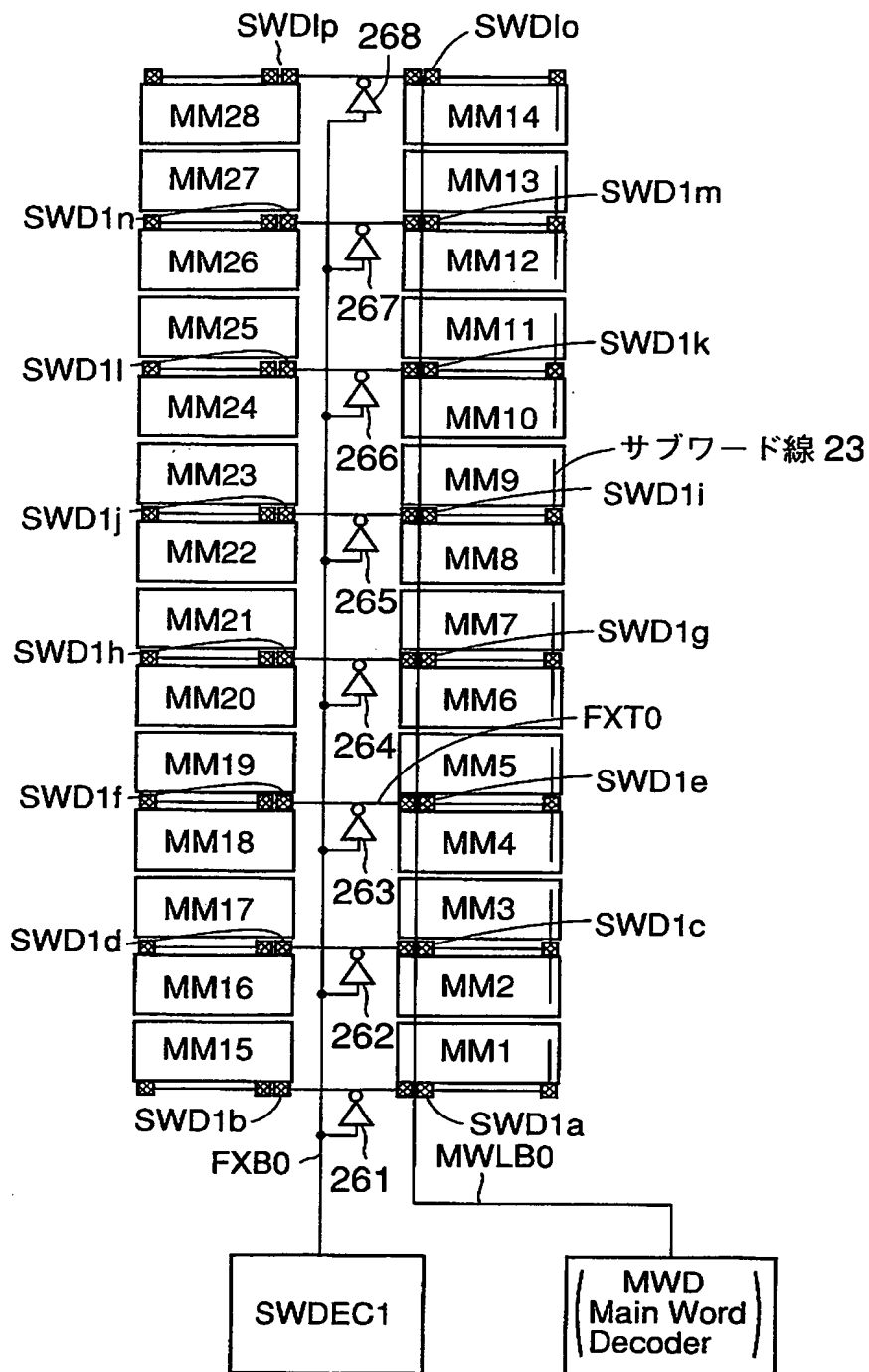
【図 3】



【図 4】



【図 5】



【書類名】 要約書**【要約】**

【課題】 メモリマツト毎に配置されたサブワードドライバを駆動する際、サブワード選択線に加わる負荷を軽減することにより、高速動作を可能にした半導体記憶装置を提供することである。

【解決手段】 サブワード選択線を介して与えられるサブワード選択信号を受けて動作するサブワードドライバの駆動方式において、サブワード選択線をメモリマツトに応じて分割し、分割位置までのサブワード選択信号の極性と、各分割位置から各サブワードドライバまでの極性とを反転させる。反転されたサブワード選択信号は、メインワード信号と共に各サブワードドライバで演算され、サブワード駆動信号として出力される。サブワードドライバ側では、メインワード信号を反転するインバータ回路を複数のサブワードドライバに共通に設けることにより、回路構成を簡略化できる。

【選択図】 図 3

特願 2 0 0 2 - 2 2 7 2 2 9

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社

特願 2 0 0 2 - 2 2 7 2 2 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 1 6 9]

1. 変更年月日

1 9 9 8 年 4 月 3 日

[変更理由]

名称変更

住 所

東京都小平市上水本町 5 丁目 2 2 番 1 号

氏 名

株式会社日立超エル・エス・アイ・システムズ



特願 2 0 0 2 - 2 2 7 2 2 9

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所